

Semiconductor memory with a signal path

Patent Number: ☐ [US2002181298](#)
Publication date: 2002-12-05
Inventor(s): HOTTGENROTH DIRK (DE); KNUPFER BERNHARD (DE)
Applicant(s):
Requested Patent: ☐ [DE10126312](#)
Application Number: US20020158275 20020530
Priority Number(s): DE20011026312 20010530
IPC Classification: G11C7/00
EC Classification: [G11C7/10W](#)
Equivalents: ☐ [US6728145](#)

Abstract

A semiconductor memory has a data signal path and a control device in order to supply functional elements of the data signal path with control signals. Programmable delays are connected into the signal lines providing the control signals, so that the time relationships between the control signals can be set reversibly via a soft set register or irreversibly via fuses. This enables simple adaptation of the internal control signal timing to fluctuations in the fabrication process or after conversion of the configuration to a new fabrication process

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 26 312 A 1**

⑤ Int. Cl. 7: **G 11 C 7/22**
303

②① Aktenzeichen: 101 26 312.0
②② Anmeldetag: 30. 5. 2001
②③ Offenlegungstag: 12. 12. 2002

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

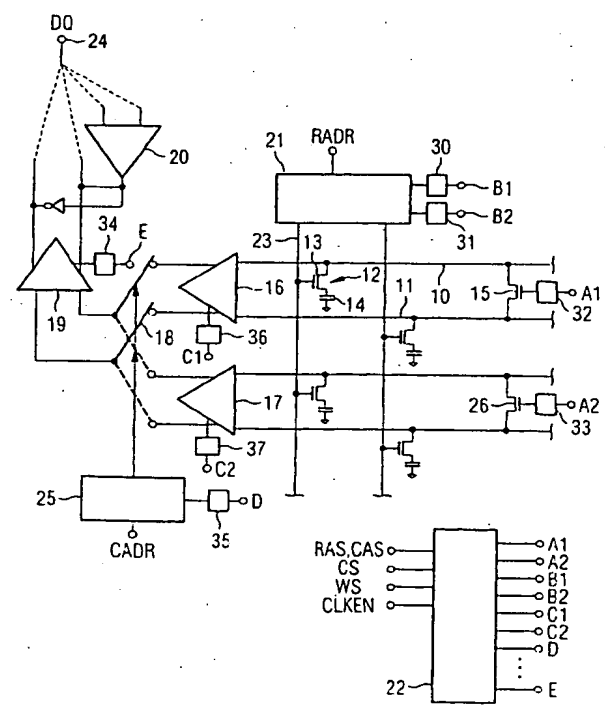
⑦④ Vertreter:
Epping, Hermann & Fischer, 80339 München

⑦② Erfinder:
Hottgenroth, Dirk, Dr., 80339 München, DE;
Knüpfer, Bernhard, Dr., 83677 Greiling, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤④ Halbleiterspeicher mit einem Signalpfad
- ⑤⑦ Ein Halbleiterspeicher weist einen Datensignalpfad und eine Steuerungseinrichtung (22) auf, um Funktionselemente (21, 16, 18, 25, 19) des Datensignalpfads mit Steuersignalen (A1, ..., E) zu versorgen. In die die Steuersignale (A1, ..., E) bereitstellenden Signalleitungen sind programmierbare Verzögerungen (30, ..., 37) geschaltet, so dass die Zeitrelationen zwischen den Steuersignalen (A1, ..., E) reversibel über ein Soft-Set-Register oder irreversibel über Fuses einstellbar sind. Dadurch wird eine einfache Anpassung des internen Steuersignal-Timings an Schwankungen des Herstellungsprozesses oder nach einem Umsetzen des Designs auf einen neuen Herstellungsprozess ermöglicht.



DE 101 26 312 A 1

DE 101 26 312 A 1

[0001] Die Erfindung betrifft einen Halbleiterspeicher, der Wort- und Bitleitungen sowie daran angeschlossene Speicherzellen umfaßt, wobei ein Signalpfad gebildet ist, der eine der Speicherzellen, daran angeschlossene Wort- und Bitleitungen sowie Schaltungselemente umfaßt, um einen Datenwert von einem Außenanschluß des Halbleiterspeichers in die Speicherzelle zu schreiben oder von der Speicherzelle an den Außenanschluß abzugeben, wobei eine Steuerungseinrichtung Steuersignale zur Ansteuerung des Signalpfads umfaßt.

[0002] Integrierte Halbleiterspeicher, beispielsweise sogenannte DRAMs (Dynamic Random Access Memories) umfassen ein Speicherzellenfeld mit einer Vielzahl von sich kreuzenden Wort- und Bitleitungen. Die Speicherzellen sind jeweils an den Kreuzungsorten einer Wort- mit einer Bitleitung angeordnet und an diese angeschlossen. Die Wortleitung aktiviert den Zugriff auf die Speicherzelle, während über die Bitleitung ein Datenwert ausgelesen oder in die Speicherzelle eingeschrieben wird. Die Wortleitungen werden von einem Wortleitungsdecoder angesteuert, der aus der Vielzahl der Wortleitungen mindestens eine Wortleitung in Abhängigkeit von einer Adresse auswählt. Die Bitleitungen sind meist paarweise als komplementäre Datensignale führende Bitleitungen an einen primären Leseverstärker angeschlossen. Der primäre Leseverstärker verstärkt einen Datenwert, der aus derjenigen Speicherzelle stammt, deren Wortleitung aktiviert ist. Beispielsweise stellen sämtliche primäre Leseverstärker des Speicherzellenfelds einen solchen Datenwert bereit. Anschließend wird durch einen Bitleitungsdecoder einer der Leseverstärker ausgewählt, um seinen Datenwert schließlich an einen sekundären Leseverstärker weiterzuleiten. Der sekundäre Leseverstärker gibt das auszulesende Datensignal ausreichend verstärkt an weitere Signalleitungen ab, die schließlich mit einem Datenausgangsanschluß des Halbleiterspeichers verbunden sind. Am Datenausgangsanschluß sind die Daten von extern abgreifbar. In umgekehrter Weise wird ein am Datenausgangsanschluß angelegtes Eingangssignal in eine über Wortleitungs- und Bitleitungsdecoder ausgewählte Speicherzelle eingeschrieben. Sämtliche Steuerungsmaßnahmen des beschriebenen Signalpfades werden von einer Steuerungseinrichtung überwacht. In Abhängigkeit von an der Steuerungseinrichtung angelegten Befehlen werden ausgangseitig eine Vielzahl von Steuersignalen erzeugt, die die jeweiligen Funktionseinheiten des Signalpfads zum Schreiben und zum Lesen von Datenwerten zeitrichtig aktivieren und wieder deaktivieren.

[0003] Bei herkömmlichen DRAMs werden Schreibzugriffe und Lesezugriffe bausteinintern durch eine feste Abfolge von Steuersignalen gesteuert. Beispielsweise folgen die internen Steuersignale den von außen meist von einem Speicherkontrollor angelegten Befehlen möglichst schnell. In manchen Fällen wird auch ein Signal mit einer fest vorgegebenen Zeit verzögert, um zeitrichtig bereitgestellt zu werden. Die interne Signalverarbeitung hängt fest von der entworfenen Schaltung ab und kann nachträglich nicht mehr verändert werden.

[0004] Wegen der fortschreitenden Miniaturisierung der Bauelemente aufgrund von immer kleiner herstellbaren Strukturbreiten des integrierten Herstellungsprozesses wird ein Bausteinentwurf oder -design wiederholt auf neue Herstellungsprozesse angepaßt. Die Vorhersagbarkeit der Signallaufzeiten und der Schaltzeiten der Funktionselemente ausgehend von einem auf einen neuen Herstellungsprozess übertragenen Schaltungsdesign wird daher problematischer. Außerdem stellen sich ohnehin aufgrund von Schwankun-

gen des Herstellungsprozesses Streuungen der elektrischen Parameter ein. Dies kann dazu führen, daß die funktionalen Eigenschaften des gleichen Designs voneinander abweichen und im äußersten Fall sogar der gesamte Halbleiterspeicher als nicht funktionsfähig festgestellt werden muß. Da der Markt für Halbleiterspeicher kurzlebig ist und Neuerungen möglichst schnell durchzuführen sind, würde eine Anpassung des Designs oder des Schaltungslayouts die Verfügbarkeit eines neuen Halbleiterspeichers in unerwünschtem Maße verzögern.

[0005] Eine Aufgabe der Erfindung besteht darin, einen Halbleiterspeicher anzugeben, der schneller auf Änderungen im Herstellungsprozess unter Einhaltung gleicher elektrischer Funktionalität angepaßt werden kann.

[0006] Gemäß der Erfindung wird diese Aufgabe durch einen Halbleiterspeicher gelöst, der sich kreuzende Wortleitungen und Bitleitungen sowie Speicherzellen umfaßt, die jeweils an eine der Wortleitungen und eine der Bitleitungen angeschlossen sind, einen Signalpfad, der eine der Speicherzellen, die jeweilige an die eine der Speicherzellen angeschlossene Wortleitung und Bitleitung sowie Schaltungselemente umfaßt, um einen an einem Ausgangsanschluß des Halbleiterspeichers anliegenden Datenwert in die Speicherzelle zu schreiben oder von der Speicherzelle an den Außenanschluß abzugeben, eine Steuerungseinrichtung, um Steuersignale zu erzeugen, die die Schaltungselemente des Signalpfades aktivieren und deaktivieren, mindestens einen Verzögerungsschaltkreis mit einstellbarer Signalverzögerung, um mindestens eines der Steuersignale mit der einstellbaren Verzögerungszeit zu verzögern oder zu beschleunigen.

[0007] Bei der Erfindung ist vorgesehen, die Steuersignale, welche die Funktionseinheiten des Signalpfads zum Ein- oder Auslesen ansteuern, mit einer einstellbaren, vorzugsweise irreversibel programmierbaren Verzögerungszeit zu versehen. Dadurch kann nach dem Umsetzen eines Designs auf einen neuen Herstellungsprozess die jeweilige Verzögerungszeit der betroffenen Steuersignale angepaßt werden. Sowohl eine Verzögerung als auch eine Beschleunigung sind denkbar. Eine programmierbare Verzögerung schließt im Sinne der Erfindung auch eine Beschleunigung der Ausbreitung eines Signals längs eines Signalpfades ein. Außerdem können beim Testen eines individuellen Halbleiterbausteins dessen interne Signallaufzeiten fein eingestellt werden, um Parametervariationen aufgrund von Schwankungen des Herstellungsprozesses auszugleichen. Somit kann ein gleiches oder nur leicht verändertes Design relativ schnell in einem neuen Halbleiterprozess gefertigt werden. Eine separate Simulation des Halbleiterbausteins, die viele verschiedene Bedingungen und Sicherheitsvorhalte für kritische Signale erfordern würde, ist nicht mehr in diesem hohen Maße erforderlich. Vielmehr wird gegebenenfalls individuell für jeden Baustein die Relation von Signallaufzeiten innerhalb des Halbleiterspeichers im Kernbereich des Speichers angepaßt.

[0008] Die Einstellung der Anpassung kann reversibel und mittels eines sogenannten Soft-Set erfolgen oder irreversibel durch dauerhafte Programmierung einer sogenannten Fuse oder Antifuse. Sämtliche Steuersignale, die beim Einlesen oder Auslesen von Daten relevant sind, können auf diese Weise individuell verzögert oder beschleunigt werden.

[0009] Beispielsweise umfaßt der Signalpfad, dessen Steuerungssignale anzupassen sind, sämtliche Schaltungselemente, um einen an einem Außenanschluß, einem Pin des Halbleiterspeichers anliegenden Datenwert in eine der Speicherzellen zu schreiben oder um von der Speicherzelle einen Datenwert an einen solchen Ausgangsanschluß abzugeben. Die Schaltungselemente des Signalpfades werden von einer

Steuersignale abgebenden Steuerungseinrichtung gesteuert, um aktiviert oder deaktiviert zu werden, also freigeschaltet oder blockiert zu werden. Der Signalpfad umfaßt beispielsweise einen Wortleitungsdecoder, um mindestens eine der Wortleitungen aus der Vielzahl der im Speicherzellenfeld angeordneten Wortleitungen auszuwählen. Der Wortleitungsdecoder wird von einem entsprechenden Steuersignal freigegeben, das von der Steuerungseinrichtung erzeugt wird. Nunmehr ist gemäß der Erfindung zwischen dem betreffenden Ausgang der Steuerungseinrichtung und dem entsprechenden Freigabeeingang des Wortleitungsdecoders ein Verzögerungsschaltkreis geschaltet, dessen Verzögerungszeit reversibel oder irreversibel einstellbar ist. Verzögerungszeit bedeutet in diesem Fall auch eine mögliche Beschleunigung der Signallaufzeit gegenüber einem voreingestellten Ausgangszustand. Darüberhinaus umfaßt der Signalpfad einen primären Leseverstärker, an den mindestens eine der Bitleitungen angeschlossen ist. Der primäre Leseverstärker wird wiederum von mindestens einem Steuersignal aktiviert und deaktiviert. Einer Vielzahl von primären Leseverstärkern ist ein sekundärer Leseverstärker nachgeschaltet, der aus der Vielzahl der von den primären Leseverstärkern angebotenen Datensignale des Speicherzellenfeldes eines auswählt. Sowohl die Auswahl-schaltung, der sogenannte Bitleitungsdecoder, als auch der sekundäre Leseverstärker selbst sind über jeweilige Steuersignale aktivierbar und deaktivierbar.

[0010] Bei Halbleiterspeichern sind herkömmlicherweise komplementäre Signale führende Bitleitungen vorgesehen, die gemeinsam an einen primären Leseverstärker angeschlossen sind. Vor einem Ein- oder Auslesevorgang wird das Potential der Bitleitungen untereinander ausgeglichen, indem diese kurzgeschlossen werden. Das von der übergeordneten Steuerungseinrichtung bereitgestellte Steuersignal wird in Ausgestaltung der Erfindung längs der Signalleitung von der Steuerungseinrichtung zum Ausgleichstransistor programmierbar verzögert bzw. beschleunigt.

[0011] Als Ausführung eines der Vielzahl der Verzögerungsschaltkreise für die jeweiligen Steuersignale sind verschiedene Möglichkeiten denkbar. So kann einerseits eine herkömmliche, aus beispielsweise zwei hintereinander geschalteten Invertern bestehende Verzögerungsleitung vorgesehen sein, die in Reihe mit einem programmierbaren Schalter geschaltet ist. Parallel dazu liegt eine schaltbare Signalleitung ohne eine solche Verzögerungsstrecke. Beide Schalter sind komplementär steuerbar, beispielsweise als Transfer-Gates ausgeführt. So wird entweder der die Verzögerungselemente enthaltende Signalpfad eingeschaltet und verzögert das Signal auf dem Weg von der Steuerungseinrichtung zur zu steuernden Funktionseinheit des Datensignalfads. Andererseits kann die Verzögerungsstrecke abgeschaltet sein und der keine solche Verzögerungsstrecke enthaltende schnellere Signalpfad wird eingeschaltet.

[0012] Alternativ eignet sich zur Signalverzögerung ein kapazitives Element, das an die jeweilige das Steuersignal führende Signalleitung angeschlossen ist. Das kapazitive Element umfaßt beispielsweise komplementäre MOS-Feldeffekttransistoren, deren Gate-Anschlüsse zusammenge-schaltet sind und deren gesteuerte Strompfade über einen Inverter miteinander verbunden sind. Die Gate-Anschlüsse sind außerdem an die Signalleitung gekoppelt. Der Eingangsanschluß des die beiden Transistoren verbindenden Inverters wird schließlich von dem programmierbaren Element, entweder Fuse oder Soft-Set-Register angesteuert. Je nach Schaltzustand des programmierbaren Elements wird die Kapazität wirksam und moduliert eine Flanke des auf der Leitung übertragenen Signals oder bleibt unwirksam.

[0013] Eine Beschleunigung eines Signals kann dadurch

erreicht werden, daß zusätzlich ein Inverter in die ein Steuersignal übertragende Signalleitung geschaltet wird. Beispielsweise ist die Signalleitung an den Eingang des Inverters geführt und wird vom Ausgang des Inverters abgegriffen. Der Inverter wird über jeweilige komplementäre Transistoren an die Versorgungsanschlüsse angeschlossen. Wenn die Transistoren eingeschaltet sind, weist die Signalleitung erhöhte Treiberfähigkeit auf. Wenn die Transistoren abgeschaltet sind, ist der Inverter nicht wirksam und die Leitung weist nur niedrige Treiberfähigkeit auf. Auf diese Weise kann abhängig von der Voreinstellung des zusätzlichen Inverters entweder die Verzögerungszeit längs der Signalleitung verringert oder erhöht werden.

[0014] Sämtliche beschriebenen Ausführungsformen des Verzögerungselements sind von einem Soft-Set-Register oder von einem Fuse-Latch ansteuerbar. Das Soft-Set-Register wird mit einem Datenwert während des Betriebs, beispielsweise im Zuge der Initialisierung des Halbleiterbausteins, beschrieben und stellt die jeweiligen im Verzögerungselement wirksamen Schalter ein. Ein Fuse-Latch umfaßt ein programmierbares Element, eine sogenannte Fuse, die dauerhaft, irreversibel programmierbar ist. Die Fuse ist im Ausgangszustand leitend, im programmierten Zustand nicht leitend. Gleichwohl kann auch eine Antifuse verwendet werden, die im Ausgangszustand nicht leitend ist und im programmierten Zustand leitend ist. Die Beschaltung von Fuse/Antifuse stellt entweder einen High-Pegel oder einen Low-Pegel zur Verfügung, zwischen denen je durch Programmierung umgeschaltet wird. Der von der programmierten oder nicht programmierten Fuse abgegebene logische Pegel wird schließlich in ein Speicherelement eingelesen, welches die im Verzögerungselement wirksamen Schalter einstellt.

[0015] Nachfolgend wird die Erfindung anhand der in der Zeichnung dargestellten Ausführungsbeispiele im Detail erläutert. Es zeigen:

[0016] Fig. 1 einen Ausschnitt aus einem dynamischen Halbleiterspeicher mit im Hinblick auf die Erfindung relevanten Elementen;

[0017] Fig. 2 eine erste Ausführungsform eines programmierbaren Verzögerungsglieds;

[0018] Fig. 3 eine zweite Ausführungsform eines programmierbaren Verzögerungsglieds;

[0019] Fig. 4 eine dritte Ausführungsform eines programmierbaren Verzögerungsglieds; und

[0020] Fig. 5 ein Beispiel für die Beschaltung einer Fuse.

[0021] Der in Fig. 1 dargestellte Ausschnitt aus einem dynamischen Halbleiterspeicher (DRAM) zeigt ein Speicherzellenfeld mit dynamischen Speicherzellen. Die Speicherzelle 12 weist einen Auswahltransistor 13 auf und einen Speicherkondensator 14. Der Auswahltransistor 13 ist Gate-seitig an eine Wortleitung 23 angeschlossen. Die gesteuerte Strecke des Auswahltransistors 12 ist an eine Bitleitung 10 angeschlossen. Um einen durch die im Speicherkondensator 14 gespeicherte Ladungsmenge repräsentierten Datenwert auszulesen, wird der Auswahltransistor 13 durch Aktivierung der Wortleitung 23 leitend geschaltet. Die Wortleitung 23 wird hierzu von einem inaktivem Pegel, der bei Masse oder bei einem negativem Potential liegt, auf einen High-Pegel gebracht. Der auf diese Weise leitend geschaltete Transistor 13 verbindet daraufhin den Kondensator 14 mit der Bitleitung 10. Die Bitleitung 10 ist an einen primären Leseverstärker 16 angeschlossen, an dem außerdem die komplementäre Bitleitung 11 liegt. Beide Bitleitungen waren vor dem Auslesevorgang durch einen leitend geschalteten Ausgleichstransistor 15 miteinander verbunden und kurzgeschlossen und auf einem Vorladepotential gehalten. Zum Auslesen wird einerseits der Ausgleichstransistor 15 ge-

sperrt, andererseits wird wie beschrieben der Auswahltransistor 13 leitend geschaltet. Die durch die im Speicherkondensator 14 auf das Paar komplementärer Bitleitungen 10, 11 gebrachte Unsymmetrie wird vom primären Leseverstärker 16 verstärkt. Eine Vielzahl von Leseverstärkern 16, 17 ist im Speicherzellenfeld vorhanden. Über einen Auswahl-
 schalter 18 werden die an einem der primären Leseverstärker 16, 17 anliegenden komplementären, vorverstärkten Datensignale weitergeleitet und in einen sekundären Leseverstärker 19 eingespeist. Der sekundäre Leseverstärker 19 schließlich stellt das Datensignal den nachfolgenden Schaltungen auf dem Weg zum Datenausgangsanschluß 24 zur Verfügung. Dort liegt das Datensignal DQ zum Abgriff extern und außerhalb des Halbleiterspeichers an. Beim Schreiben erfolgt die Signalübertragung in umgekehrter Reihenfolge vom nunmehr als Dateneingang dienenden externen Datenanschluß 24, über weiterverarbeitende Schaltungen und einen Schreibverstärker 20 an den primären Leseverstärker 19 und zurück über den Auswahl-
 schalter 18 an den primären Leseverstärker 16 in die Speicherzelle 12. Zur Auswahl einer der Wortleitungen, beispielsweise der Wortleitung 23, dient ein Wortleitungsdecoder 21, dem eine Adresse RADR zugeführt wird. Ein Bitleitungsdecoder 25 wählt einen der primären Leseverstärker, beispielsweise den Leseverstärker 16, aus der Vielzahl der vorhandenen Leseverstärker aus und verbindet diesen mit dem sekundären Leseverstärker 19. Der Bitleitungsdecoder 25 trifft die Auswahl in Abhängigkeit von einer zugeführten Adresse CADR.

[0022] Ein Steuerungsschaltkreis 22 ist vorgesehen, der aus wiederum von extern eingegebenen Signalen, beispielsweise Lese- oder Schreibbefehlen oder Wiederauffrischungsbefehlen, Steuersignale A1, A2, B1, B2, C1, C2, D, E erzeugt, die die eben beschriebenen Funktionseinheiten im Auslese- und Einlesesignalpfad steuern. Im Decoder werden beispielsweise die Reihen- und Spaltenzugriffssignale RAS, CAS, ein Schreibsteuersignal WE und ein Chipauswahlsignal CL sowie ein Taktfreigabesignal CLKEN zugeführt. Der Decoder 22 ist ein Zustandsrechenwerk und erzeugt aus den decodierten Signalen schließlich die genannten ausgangsseitigen Steuersignale, um Lese- und Schreibzugriffe und Wiederauffrischungsvorgänge zu steuern.

[0023] Beispielsweise wird das Steuersignal A1 dem Ausgleichstransistor 15 zugeführt. Das Steuersignal A2 steuert den Ausgleichstransistor 26 des benachbarten komplementären Bitleitungspaares. Das Steuersignal B1 steuert das Einschalten oder Aktivieren einer Wortleitung und wird dementsprechend dem Wortleitungsdecoder 21 zugeführt. In Abhängigkeit vom Zustand des Steuersignals B1 wird eine ausgewählte Wortleitung, z. B. die Wortleitung 23, mit einem High-Pegel beaufschlagt. Das Steuersignal B2 steuert das Abschalten sämtlicher Wortleitungen, indem diese auf einen Low-Pegel oder gar auf einen negativen Pegel gebracht werden. Die Wortleitungen werden dadurch deaktiviert. Dieser Vorgang wird auch als Precharge bezeichnet. Das Steuersignal C1 aktiviert den Verstärkungsvorgang des primären Leseverstärkers 16. Das Steuersignal C2 dementsprechend den Verstärkungsvorgang des primären Leseverstärkers 17. Schließlich aktiviert das Signal D die Auswahl eines der primären Leseverstärker 16, 17, beispielsweise des Leseverstärkers 16. Das Steuersignal E aktiviert den abschließenden Verstärkungsvorgang beim Auslesen im sekundären Leseverstärker 19.

[0024] Die Bereitstellung der Steuersignale A1, ..., E von der State-Maschine 22 jeweils relativ zueinander innerhalb gewisser Zeitfenster ist wichtig, um einen ordnungsgemäßen Zugriff auf eine der Speicherzellen sowohl zum Lesen als auch zum Schreiben von Datenwerten zu gewährleisten.

Sämtliche internen Impulse und Flanken von Steuersignalen müssen einen gewissen Mindest- und Höchstabstand zueinander aufweisen, damit der Halbleiterbaustein innerhalb der externen Signalvorgaben korrekt funktioniert. Wenn unerwünschterweise etwa die Auswahl einer der primären Leseverstärker 16 oder 17 zu schnell nach einem Einschaltimpuls B1 für die Wortleitungen erfolgt, dann wäre die Pegeldifferenz auf den komplementären Bitleitungen noch nicht groß genug und es könnten beim Weiterleiten der Bitleitungspegel auf den Verbindungsleitungen zum sekundären Leseverstärker 19 befürchtete Ladungen umkippen. Das falsche Signal würde dann in die ausgewählte Zelle zurückgeschrieben werden. Außerdem kritisch ist die Zeit beim Schreiben von Datenwerten in eine Speicherzelle vom sekundären Leseverstärker 19 zu einem der primären Leseverstärker 16, 17 über die Kapazitäten und Widerstände der beteiligten Bitleitungen und Auswahltransistoren. Schließlich ist ein zu kurzer Abstand zwischen einem Ausschaltimpuls B2 für die Wortleitung und dem Impuls A1 oder A2 für das Einschalten der Ausgleichstransistoren kritisch.

[0025] Nunmehr ist in die Signalleitung von der Steuerungseinrichtung 22 zum jeweiligen Empfangsort des bereitgestellten Steuersignals A1, ..., E ein Verzögerungsschaltkreis 30, ..., 37 bzw. ein Beschleunigungsschaltkreis geschaltet. Dadurch können die internen Steuersignale um eine exakt festgelegte Zeit verzögert oder beschleunigt werden, wie anhand der nachfolgend dargestellten Schaltungen erläutert wird. Die Signalverzögerung für die von der State-Maschine 22 ausgehenden Steuersignale kann gemäß der Erfindung nachträglich eingestellt werden. Damit können Schwankungen aufgrund des Herstellungsprozesses ausgeglichen werden oder aber bei einem Umsetzen des bisher vorliegenden und simulierten Layouts auf einen neuen Herstellungsprozess kann das gleiche Design verwendet werden und die Signallaufzeiten können programmierbar angepaßt werden.

[0026] Beispielsweise können einer oder alle der Verzögerungsschaltkreise 30, ..., 37 wie in Fig. 2 dargestellt ausgeführt werden. Der Verzögerungsschaltkreis weist zwischen seinen Eingangs- und Ausgangsanschlüssen 40, 41 eine erste Verzögerungsstrecke 42 auf, die zwei in Reihe geschaltete als Inverter 43, 44 ausgeführte Verzögerungsglieder aufweist. In Reihe zu den Invertern 43, 44 ist ein als Transfer-Gate ausgeführter Schalter 45 geschaltet. Parallel zur Reihenschaltung aus Transfer-Gate 45 und Verzögerungsgliedern 43, 44 liegt ein Signalpfad 46, der nur ein Transfer-Gate 47 enthält, ansonsten aber aus einer Leiterbahn besteht und insbesondere kein zusätzliche Verzögerungsglied vergleichbar den Invertern 43, 44 enthält. Die Transfer-Gates 45, 47 werden komplementär zueinander gesteuert. So ist entweder einerseits der Signalpfad 42 wirksam und der Signalpfad 46 gesperrt, oder andererseits ist der weniger Signalverzögerungszeit auf das Steuersignal bewirkende Signalpfad 46 wirksam und der Signalpfad 42 ist gesperrt. Die Einstellung der Schalter 45, 47 erfolgt über ein Speicherelement 48.

[0027] Das Speicherelement 48 ist, wie in Fig. 5 beispielsweise dargestellt, ein einfaches Latch, das einen High- oder Low-Pegel speichert. Der zu speichernde Pegel wird von einer Fuse 51 vorgegeben. Die Fuse 51 ist einerseits an Massepotential VSS angeschlossen und andererseits über die Reihenschaltung eines N- und eines P-Kanal-Feldeffekttransistors an das positive Versorgungspotential VDD angeschlossen. Zum Auslesen der Fuse wird zuerst der Schaltungsknoten 52 über den leitend geschalteten P-Kanal-Transistor 53 vorgeladen. Anschließend wird der Transistor 53 gesperrt und der N-Kanal-Transistor 54 leitend geschaltet. Im gezeigten Ausführungsbeispiel ist die Fuse 51 zu ihrem

Ausgangszustand unverändert und zieht das am Anschluß 52 kurzzeitig eingestellte Vorladepotential auf Massepotential VSS. Dieses wird im Latch 48 gespeichert und schaltet beispielsweise den Schalter 47 leitend und den Schalter 45 nicht leitend, so daß der verzögerungsfreie Signalpfad 46 wirksam geschaltet ist. Durch Einwirkung eines Energieimpulses, z. B. eines Laserstrahls, wird die Fuse 51 aufgetrennt. Beim Auslesen bleibt dann der am Anschluß 52 kurzzeitig eingestellte Vorladepegel erhalten und das Speicherelement 48 gibt einen High-Pegel ab. Für sämtliche der einstellbaren Verzögerungselemente 30, . . . , 37 können die dementsprechend zugeordneten Fuses eingestellt werden. Ergänzend wird bemerkt, daß anstelle von Fuses 51 auch Antifuses verwendet werden können, die im Ausgangszustand nicht leitend sind und durch Einwirkung eines Laserimpulses leitend geschaltet werden.

[0028] Alternativ zu dem in Fig. 2 gezeigten Verzögerungsschaltkreis kann eine kapazitive Verzögerung wie in Fig. 3 gezeigt verwendet werden. Die von der Steuerungseinrichtung 22 mit dem Steuersignal versorgte Steuerleitung 60 wird mit einem kapazitivem Knoten 61 belastet. Die Kapazität wird durch einen P-Kanal-Transistor 62 gebildet und einen N-Kanal-Transistor 63, deren Gateanschlüsse an den Knoten 61 angeschlossen sind. Die Strompfadanschlüsse der Transistoren 62, 63 sind ihrerseits an den jeweiligen Transistoren miteinander gekoppelt und andererseits untereinander über einen Inverter 64 gekoppelt. Der Eingang des Inverters 64 ist an die Strompfadanschlüsse des P-Kanal-Feldeffekttransistors 62 angeschlossen. Außerdem ist der Inverter 64 eingangsseitig an ein Fuse-Latch 65 angeschlossen, vergleichbar dem in Fig. 5 dargestellten Fuse-Latch. Wenn das Fuse-Latch 65 einen High-Pegel abgibt, wenn also die Fuse 51 hochohmig durch einen Laser behandelt wurde, dann wird Ladung in die Kanäle der Transistoren 62, 63 eingebracht. Eine sich längs der Leitung 60 ausbreitende Signalfanke moduliert über den Schaltungsknoten 61 die in den Kondensatoren 62, 63 gespeicherte Ladungsmenge, so daß sich an der Leitung 60 eine kapazitive Wirkung und folglich eine Signalverzögerung einstellt. Eine nicht durchtrennte Fuse sorgt dafür, daß die Kanäle der Transistoren 62, 63 entladen sind und die kapazitive Wirkung auf die Leitung 60 vernachlässigbar niedrig ist. Wenn zusätzlich ein Inverter 66, in der Fig. 3 gestrichelt dargestellt, am Ausgang des Fuse-Latch 65 angeordnet ist, dann wirkt die Schaltung als abschaltbare Kapazität. Eine nicht durchtrennte Fuse schaltet in diesem Fall eine wirksame Kapazität auf die Signalleitung 60, eine durchtrennte, laserprogrammierte Fuse schaltet in Umkehrung des oben beschriebenen Wirkungsprinzips die Kapazität ab. Es läßt sich dadurch, verglichen mit dem Ausgangszustand, das Signal längs der Leitung 60 beschleunigen, also die Verzögerungszeit einer sich längs der Leitung 60 ausbreitenden Signalfanke ist im programmierten Zustand der Fuse kürzer als im unprogrammierten Zustand.

[0029] Eine wiederum alternative Ausführung für eine programmierbare Verzögerung oder Beschleunigung ist in Fig. 4 dargestellt. Fig. 4A zeigt die Beschaltung für eine Beschleunigung. Entsprechende Elemente sind mit gleichen Bezugszeichen versehen. Die Signalleitung 70 weist einen P-Kanal-Feldeffekttransistor 72 und einen N-Kanal-Feldeffekttransistor 73 aufweisenden Inverter auf. Versorgungspotentialseitig ist der Transistor 72 über einen weiteren P-Kanal-Feldeffekttransistor 74 mit dem Versorgungspotential VDD verbunden, der Transistor 73 entsprechend über einen weiteren N-Kanal-Transistor 75 mit einem Anschluß für Massepotential VSS. Die Signalleitung 70 steuert den Eingang des Inverters 71 an und wird an dessen Ausgang weitergeführt. Der Eingang und der Ausgang des Inverters 71 sind über einen weiteren Inverter 76 gekoppelt. Die strom-

pfadseitigen Transistoren 74, 75 werden von einem Fuse-Latch 77 angesteuert. Ein Inverter 78 sorgt für komplementäre Ansteuerung der Transistoren 74, 75. Wenn die Fuse nicht programmiert ist, das Fuse-Latch daher einen Low-Pegel aufweist, dann sind die Transistoren 74, 75 gesperrt und der Inverter 71 ist nicht wirksam. Wenn die Fuse programmiert ist und das Fuse-Latch 77 daher einen High-Pegel abgibt, sind die Transistoren 74, 75 leitend und schalten den Inverter 71 zusätzlich auf die Leitung 70. Die Treiberfähigkeit der Leitung 70 ist dadurch erhöht und eine sich längs der Leitung 70 ausbreitende Flanke eines der Steuersignale A1, . . . , E wird beschleunigt. In Fig. 4B ist die Ansteuerungspolarität für die Transistoren 74, 75 umgekehrt ausgeführt, wobei ein Inverter 79 den Transistor 75 ansteuert, während der Transistor 74 direkt vom Fuse-Latch 77 angesteuert wird. Durch eine Programmierung der Fuse kann hier die Verzögerungszeit längs der Leitung 70 erhöht werden, es erfolgt also eine Signalverzögerung für das längs der Leitung 70 sich ausbreitende Steuersignal.

[0030] In Fig. 5 ist gestrichelt ein Anschluß 55 dargestellt, der an den Anschluß 52, welcher den Eingang des flüchtigen Speicherelements 48 bildet, angeschlossen ist. Der Anschluß 55 ist alternativ zur Fuse 51 und den Transistoren 53, 54 zu sehen. Der Anschluß 55 wird während des Betriebs, vorzugsweise während der Initialisierungsphase des Halbleiterspeichers mit einem einen logischen High- oder logischen Low-Pegel repräsentierenden Datenwert beaufschlagt. Dieser Datenwert wird im flüchtigen Speicherelement 48, vorzugsweise einem Register, zwischengespeichert. Somit kann beispielsweise während des Tests des Halbleiterspeichers die Verzögerungszeit für die von der Steuerungseinrichtung 22 ausgegebenen Steuersignale variabel eingestellt werden.

Bezugszeichenliste

- 10, 11 Bitleitung
- 12 Speicherzelle
- 13 Auswahltransistor
- 14 Speicherkondensator
- 15, 26 Ausgleichstransistor
- 16, 17 Primärer Leseverstärker
- 18 Auswahlrichtung
- 19 Sekundärer Leseverstärker
- 20 Schreibverstärker
- 21 Wortleitungsdecoder
- 22 Steuerungseinrichtung
- 24 Ausgangsanschluß
- 25 Bitleitungsdecoder
- 30, . . . , 37 Verzögerungsschaltkreise
- 41 Anschlüsse
- 42, 46 Signalfade
- 43, 44 Inverter
- 45, 47 Schalter
- 48 Programmierbares Element
- 51 Fuse
- 52 Anschluß
- 53, 54 Transistoren
- 55 Anschluß
- 60 Signalleitung
- 61 Knoten
- 62, 63 Transistoren
- 64, 66 Inverter
- 65 Fuse-Latch
- 70 Signalleitung
- 71 Inverter
- 72, . . . , 75 Transistoren
- 76, . . . , 79 Inverter

77 Fuse-Latch
 VDD, VSS Versorgungspotentiale
 A1, . . . , E Steuersignale
 RADR Wortleitungsadresse
 CADR Bitleitungsadresse
 DQ Datensignal

Patentansprüche

1. Halbleiterspeicher, umfassend
 sich kreuzende Wortleitungen (23) und Bitleitungen
 (10, 11) sowie Speicherzellen (12), die jeweils an eine
 der Wortleitungen (23) und eine der Bitleitungen (10)
 angeschlossen sind,
 einen Signalpfad, der umfaßt:
 eine der Speicherzellen (12), die jeweilige an die eine
 der Speicherzellen (12) angeschlossene Wortleitung
 (23) und Bitleitung (10) sowie Schaltungselemente
 (16, 18, 19, 24), um einen an einem Ausgangsanschluß
 (24) des Halbleiterspeichers anliegenden Datenwert in
 die Speicherzelle (12) zu schreiben oder von der Spei-
 cherzelle (12) an den Außenanschluß (24) abzugeben,
 eine Steuerungseinrichtung (22), um Steuersignale
 (A1, A2, B1, B2, C1, C2, D, E) zu erzeugen, die die
 Schaltungselemente des Signalpfades aktivieren und
 deaktivieren,
 mindestens einen Verzögerungsschaltkreis (30, 31, 32,
 33, 34, 35, 36, 37) mit einstellbarer Signalverzögerung,
 um mindestens eines der Steuersignale (A1, . . . , E) mit
 der einstellbaren Verzögerungszeit zu verzögern oder
 zu beschleunigen.
 2. Halbleiterspeicher nach Anspruch 1, dadurch ge-
 kennzeichnet, daß der Signalpfad umfaßt:
 einen Wortleitungsdecoder (21), um mindestens eine
 der Wortleitungen (23) aus der Vielzahl der Wortleitun-
 gen anzusteuern,
 einen primären Leseverstärker (16, 17), an den minde-
 stens eine der Bitleitungen (10, 11) angeschlossen ist,
 einen sekundären Leseverstärker (19), der mindestens
 einem der primären Leseverstärker (16, 17) nachge-
 schaltet ist,
 eine Auswahlerschaltung (25, 18), um mindestens einen
 der primären Leseverstärker (16, 17), mit dem sekun-
 dären Leseverstärker (19) zu verbinden, wobei
 die Steuerungseinrichtung (22) mit mindestens einem
 der den Wortleitungsdecoder, den primären Lesever-
 stärker, den sekundären Leseverstärker, die Auswahl-
 schaltung umfassenden Schaltungselemente über den
 Verzögerungsschaltkreis (30, . . . , 37) verbunden ist.
 3. Halbleiterspeicher nach einem der Ansprüche 1
 oder 2, dadurch gekennzeichnet, daß der Signalpfad
 darüber hinaus paarweise Bitleitungen (10, 11) umfaßt,
 die gemeinsam an einen der primären Leseverstärker
 (16, 17) angeschlossen sind und die über eine Aus-
 gleicherschaltung (15, 26) miteinander verbunden sind,
 und daß die Ausgleicherschaltung (15, 26) mit der
 Steuerungseinrichtung (22) über einen Verzögerungs-
 schaltkreis (32, 33) verbunden ist.
 4. Halbleiterspeicher nach einem der Ansprüche 1 bis
 3, dadurch gekennzeichnet, daß der Verzögerungs-
 schaltkreis die Reihenschaltung eines Schalters (45)
 und eines Verzögerungselements (43, 44) umfaßt, daß
 der Reihenschaltung parallel eine Signalstrecke (46)
 mit einem Schalter (47) ohne ein Verzögerungselement
 geschaltet ist, daß die Schalter (45, 47) von einem pro-
 grammierbaren Element (48) komplementär ansteuer-
 bar sind.
 5. Halbleiterspeicher nach Anspruch 4, dadurch ge-

- kennzeichnet, daß das Verzögerungselement (43, 44)
 mindestens einen Inverter umfaßt.
 6. Halbleiterspeicher nach einem der Ansprüche 1 bis
 3, dadurch gekennzeichnet, daß der Verzögerungs-
 schaltkreis ein kapazitives Verzögerungselement (62,
 63) umfaßt, das an eine eines der Steuersignale (A1,
 . . . , E) führende Signalleitung (60) angeschlossen ist
 und dessen wirksame Kapazität mittels eines program-
 mierbaren Elements (65) schaltbar ist.
 7. Halbleiterspeicher nach Anspruch 6, dadurch ge-
 kennzeichnet, daß das kapazitive Verzögerungselement
 (62, 63) mindestens zwei aus komplementären Feldef-
 fekttransistoren (62, 63) gebildete Kondensatoren um-
 faßt, deren Gate-Elektroden miteinander verbunden
 sind und an die Signalleitung (60) angeschlossen sind
 und deren andere Anschlüsse über einen ersten Inverter
 (64) miteinander gekoppelt sind und an das program-
 mierbare Element (65) angeschlossen sind.
 8. Halbleiterspeicher nach Anspruch 7, dadurch ge-
 kennzeichnet, daß ein weiterer Inverter (66) vorgese-
 hen ist, der zwischen den Ausgang des programmierba-
 ren Elements (65) und den Eingang des ersten Inverters
 (64) geschaltet ist.
 9. Halbleiterspeicher nach einem der Ansprüche 1 bis
 3, dadurch gekennzeichnet, daß der Verzögerungs-
 schaltkreis einen Inverter umfaßt (71), der eingangs-
 und ausgangsseitig mit einer eines der Steuersignale
 (A1, . . . , E) führenden Signalleitung gekoppelt ist, daß
 der Inverter (71) über je einen Transistor (74, 75) an ei-
 nen Anschluß für ein Versorgungspotential (VDD,
 VSS) gekoppelt ist und daß die Transistoren (74, 75)
 von einem programmierbaren Element (77) komple-
 mentär steuerbar sind.
 10. Halbleiterspeicher nach einem der Ansprüche 4
 oder 9, dadurch gekennzeichnet, daß das programmier-
 bare Element (48, 66, 77) ein flüchtiges Speicherele-
 ment (48) ist, das ausgebildet ist, um einen von extern
 eingegebenen Datenwert zu speichern.
 11. Halbleiterspeicher nach einem der Ansprüche 4
 oder 9, dadurch gekennzeichnet, daß das programmier-
 bare Element ein flüchtiges Speicherelement (48) um-
 faßt und eine irreversibel programmierbare Fuse oder
 Antifuse, die mit dem Speicherelement (48) gekoppelt
 ist.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

FIG 1

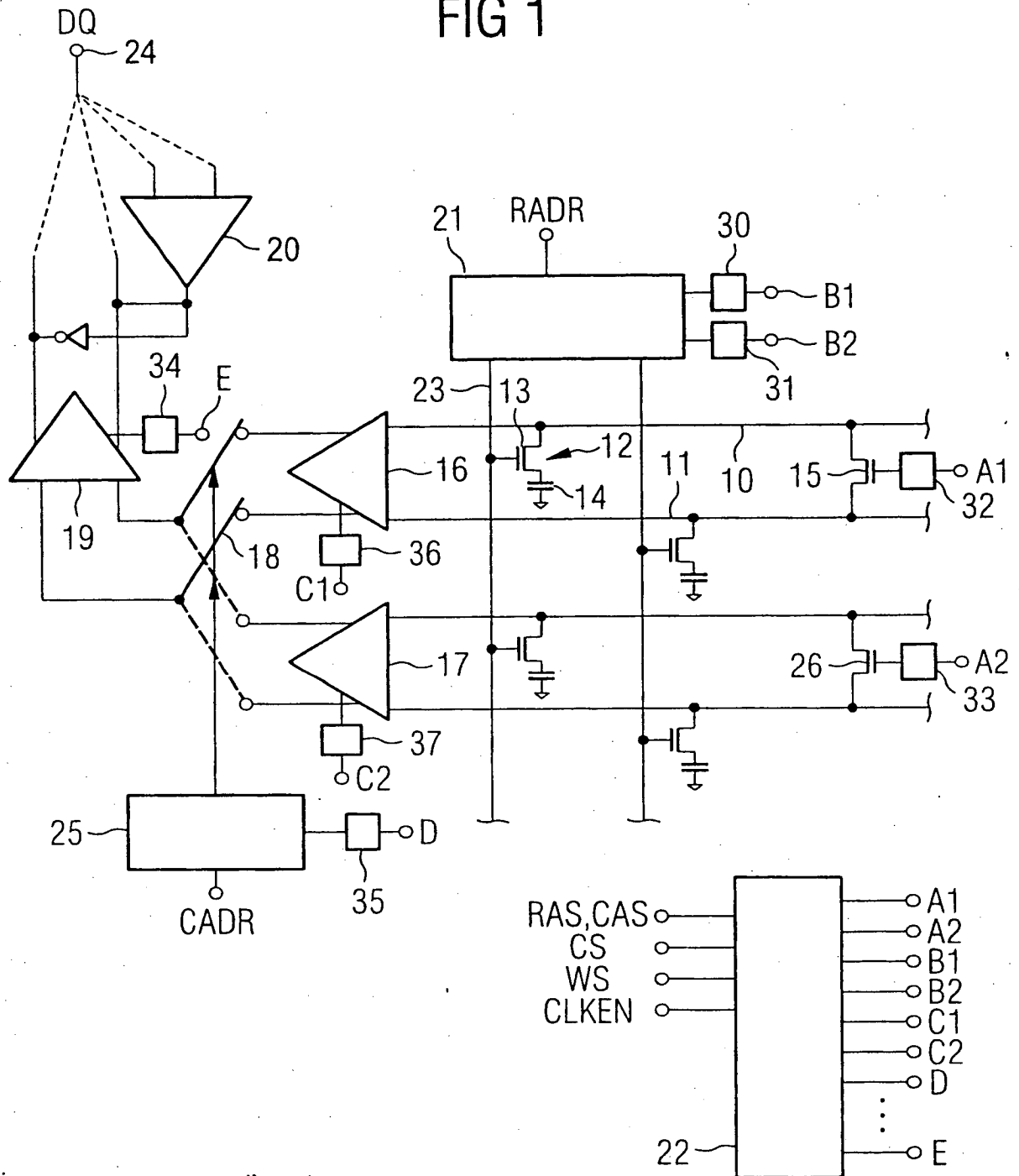


FIG 2

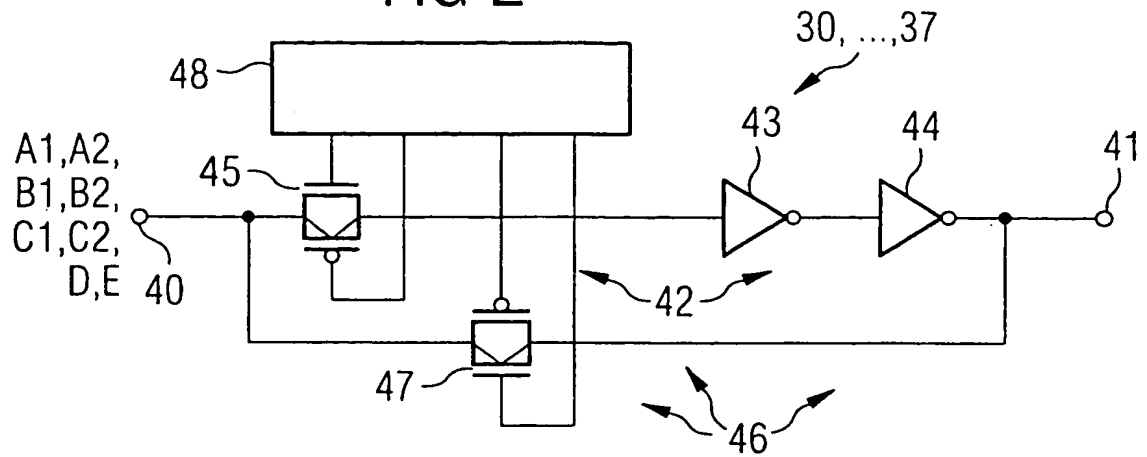


FIG 3

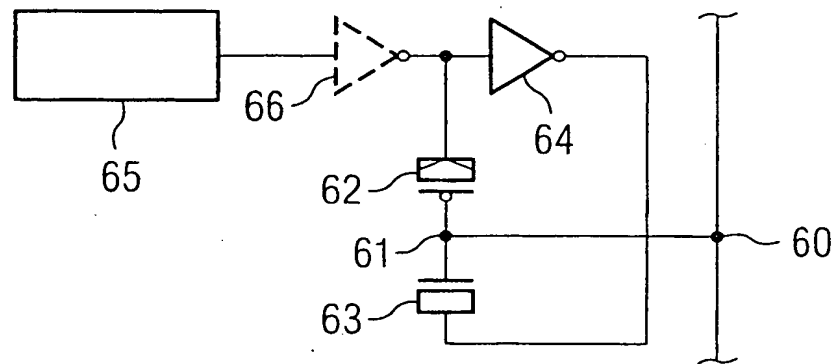


FIG 5

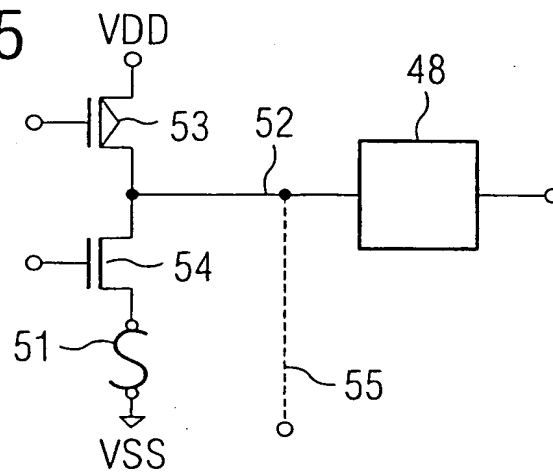


FIG 4B

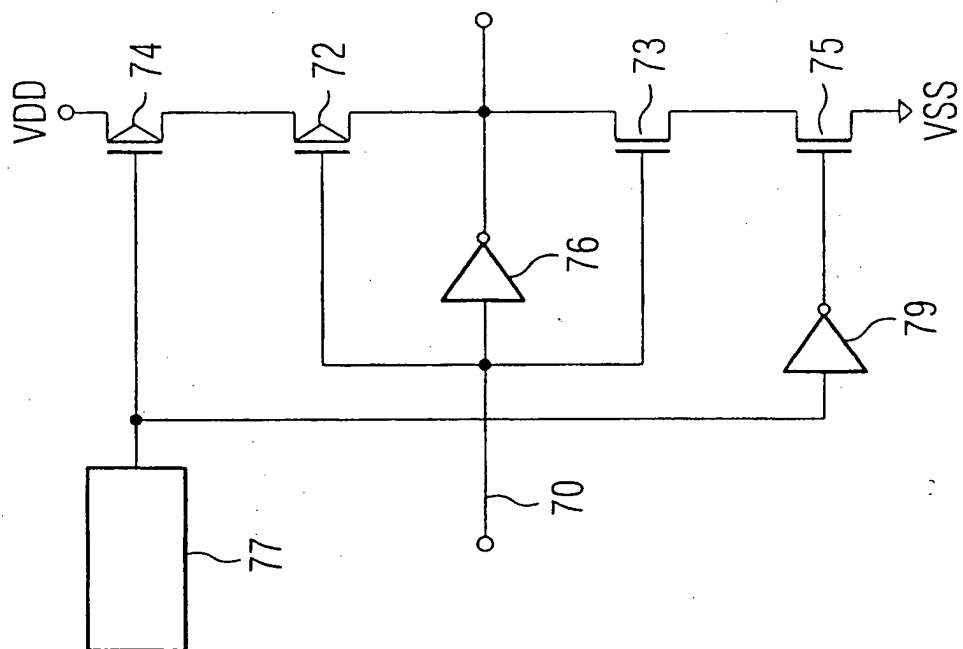


FIG 4A

